

Digital Design (introduction to) – 3A ISMIN – 1h30

Examen – Lundi 2 octobre 2023

Une attention particulière sera portée au soin lors de la correction et de la notation (écrire proprement, utiliser plusieurs couleurs, entourer les résultats avec une règle, etc.)

Aucun document n'est autorisé

Calculatrice autorisée

3 pages, 2 exercices : note sur 20

Exercice 1 – Temps de propagation d'une porte logique – 16 pts

Cet exercice introduit une méthode simplifiée de calcul des temps de propagation des portes logiques. Elle est appliquée au calcul des temps de propagation de la porte logique représentée figure 1.

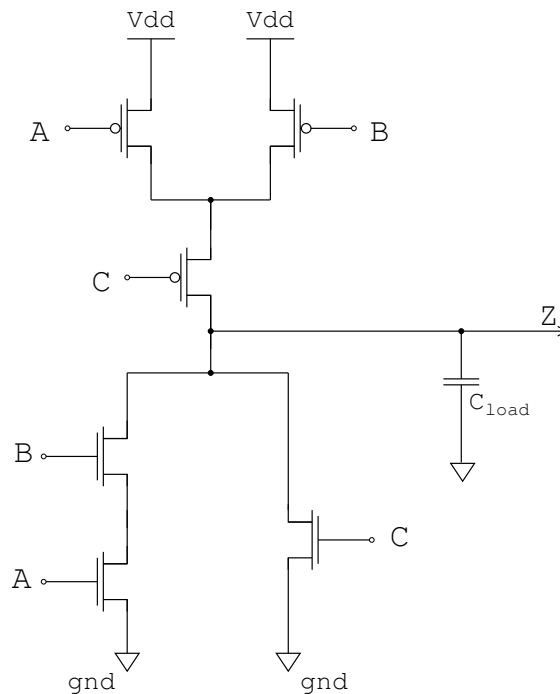


Figure 1 – Porte logique CMOS.

1. Donner l'équation logique de la porte de la figure 1, ainsi que sa table de vérité.

Cette porte est implémentée en technologie CMOS $0,35 \mu\text{m}$ et telle que $L_{\text{PMOS}} = L_{\text{NMOS}} = 0,35 \mu\text{m}$. On prendra comme référence les dimensions de l'inverseur de base de cette technologie : $p = W_{\text{PMOS}} = 0,8 \mu\text{m}$, et $n = W_{\text{NMOS}} = 0,5 \mu\text{m}$.

On rappelle également les principaux paramètres de cette technologie : $V_{\text{DD}} = 3,3 \text{ V}$, $k'_p = 58 \mu\text{A/V}^2$, $k'_n = 175 \mu\text{A/V}^2$, $V_{\text{tp}} = -0,6 \text{ V}$, $V_{\text{tn}} = 0,46 \text{ V}$. On prendra $C_{\text{load}} = 30 \text{ fF}$ pour cet exercice.

Vous pourrez simplifier vos calculs en utilisant les règles d'association série ou parallèle des transistors vues en cours.

2. Dimensionner les transistors de cette porte de façon à avoir des temps de propagation similaires à ceux de l'inverseur de base de la technologie CMOS 0,35 μm .
3. Dessiner le diagramme bâtons et le layout de la porte logique (vous représenterez au minimum les masques correspondant à la métallisation de niveau 1, au polysilicium de grille, aux diffusions, aux contacts diffusion – métal : MET1 / POLY1 / DIFF / CONT). Vous chercherez à réaliser un layout le plus compact possible.
4. On considère le cas d'une transition instantanée de l'entrée C : v_C passant de 0 V à 3,3 V, les entrées A et B restant stables et telles que $v_A = 0$ V et $v_B = 0$ V.
 - a. De quel type de transition s'agit-il (t_{pHL} ou t_{pLH}) ? En rappeler la définition.
 - b. Donner l'expression littérale du courant $i_D(0^+)$, le courant de décharge/charge¹ de C_{load} juste après le basculement de v_C . Calculer la valeur numérique correspondante. Faire un dessin simplifié sur lequel vous porterez rigoureusement les tensions et courants permettant de mener à bien cette étude.
 - c. Donner l'expression littérale du courant $i_D(t_{pHL/LH})$ (le courant de décharge/décharge à $t = t_{pHL/LH}$), puis calculer la valeur numérique correspondante.
 - d. Exprimer et calculer le courant moyen $i_{D, Moy}$ lors de la charge/décharge de $t = 0^+$ à $t = t_{pHL/LH}$ en considérant que le courant évolue de façon linéaire sur cet intervalle de temps.

On fera l'hypothèse que le calcul du $t_{pHL/LH}$ peut s'effectuer avec une bonne approximation en considérant que le courant de charge/décharge est constant et égale à $i_{D, Moy}$ sur l'intervalle de temps de $t = 0^+$ à $t = t_{pHL/LH}$.

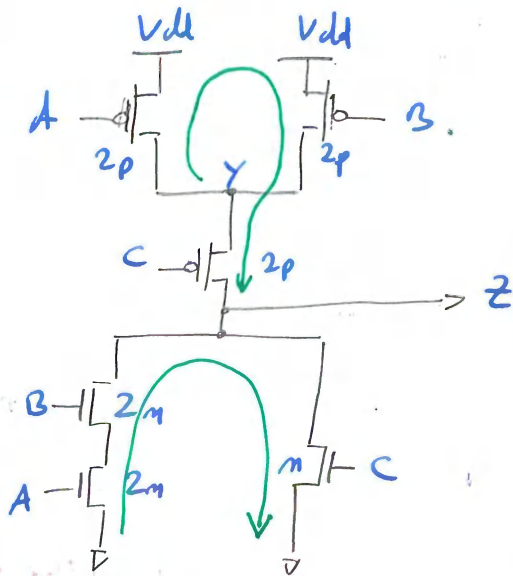
- e. Donner l'expression littérale du temps de charge/décharge d'une capacité C_{load} par un courant constant $i_{D, Moy}$ correspondant à une variation de tension ΔV .
 - f. En déduire l'expression littérale de $t_{pHL/LH}$ en fonction de C_{load} , V_{DD} , et $i_{D, Moy}$. Calculer la valeur de $t_{pHL/LH}$.
5. On considère maintenant le cas d'une transition instantanée de l'entrée C : v_C passant de 3,3 V à 0 V, les entrées A et B restant stables et telles que $v_A = 3,3$ V et $v_B = 0$ V. De quel type de transition s'agit-il ?
6. Définir et calculer le temps de propagation associé.
7. Calcul du temps de propagation t_p .
Calculer le temps de propagation t_p de la porte logique.
(à noter que le temps de propagation s'exprime pour un pire cas).

¹ Vous préciserez s'il s'agit d'un courant de charge ou de décharge.

Exercice 2 – Ajout d'un signal de set à une latch – 4 pts

1. Donner la représentation schématique d'une latch (verrou), vous choisirez la version optimisée comportant au total 10 transistors.
2. Rappeler en quelques mots son principe de fonctionnement (ne pas recopier le cours).
3. On souhaite ajouter une entrée de set (mise à un), active au niveau bas, à la latch. Quelle porte logique faut-il utiliser à la place de l'inverseur de rebouclage de la latch ? Faire le dessin (représenter les portes logiques par leurs symboles).
(Le signal de set est prévu pour être activé en mode mémoire uniquement).

Temps de propagation d'une porte logique



1) $Z = \bar{C} \cdot (\bar{A} + \bar{B})$ 0,5

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

2) Dimensionnement du réseau p

Pire cas: M_{pA} et M_{pC} ON avec M_{pB} OFF

association en série de 2 transistors

$W_{pA} = W_{pC} = 2p = 2,6 \mu m$ 1

2^{ème} pire cas équivalent: M_{pB} et M_{pC} ON avec M_{pA} OFF

$\hookrightarrow W_{pB} = 2p = 2,6 \mu m$

Dimensionnement du réseau n

Pire cas: M_{nA} et M_{nB} ON avec M_{nC} OFF

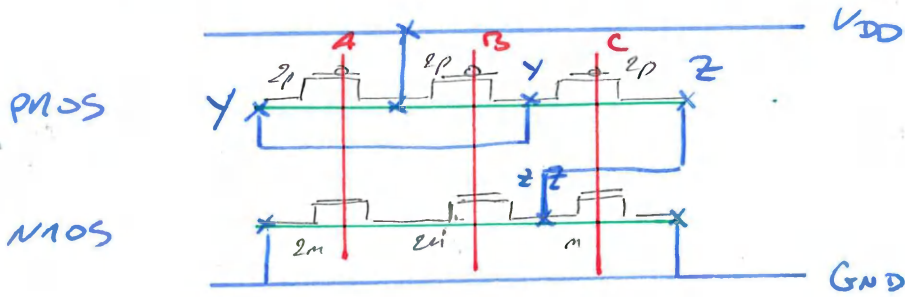
association en série de 2 transistors

$W_{nA} = W_{nB} = 2m = 1 \mu m$ 1

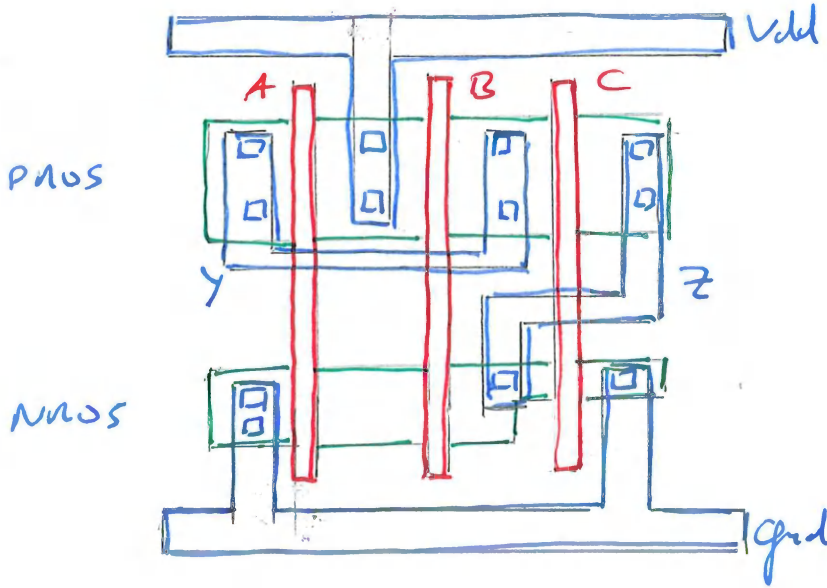
2^{ème} pire cas: M_{nC} ON avec M_{nA} et M_{nB} OFF

$\hookrightarrow W_{nC} = m = 0,5 \mu m$

3) cf les chemins d'Euler tracés sur la figure 1 dans l'ordre $A \rightarrow B \rightarrow C$



1,5



- POLY 1
- DIFF
- n1

1

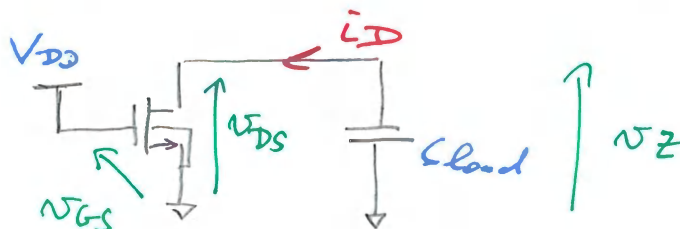
4) a) Transition $A B C = 0 0 0 \rightarrow 1$ $t_{\gamma} z = 1$
 à $A B C = 0 0 1 \rightarrow 0$ $t_{\gamma} z = 0$

Le niveau logique de la sortie passe de 1 ($V_z = 3.3V$) à 0 ($V_z = 0V$). Cette transition correspond à un temps de propagation lié à la décharge de la capacité de sortie ($C_{load} \Rightarrow t_{pHL}$)

1

(cf. cours pour la définition exacte)

b. La décharge de C_{load} s'effectue à travers le transistor P_{nC} (poussant):



4)-b. (suite)

a) $t=0^+$ $V_C = V_{DD}$ (on considère une transition instantanée de V_C)

$$\begin{cases} V_{GS} = V_{DD} \\ V_{DS} = V_{DD} \end{cases} \text{ (le MOS est encore chargé)}$$

↳ MHC est en régime saturé

$$\begin{cases} V_{GS} > V_{th} \\ V_{DS} > V_{GS} - V_{th} \end{cases}$$

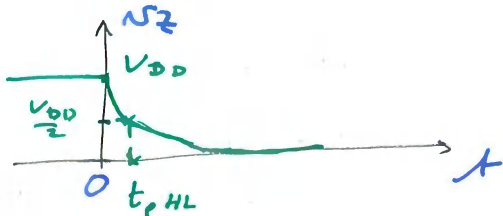
$$i_D(0^+) = \frac{1}{2} \mu_n \left(\frac{W}{L}\right)_{MHC} (V_{DD} - V_{th})^2 \quad 2$$

P.N.

$$i_D(0^+) = \frac{1}{2} \cdot 175 \mu \left(\frac{0.5}{0.35}\right) (3.3 - 0.46)^2$$

$$i_D(0^+) = 1 \text{ mA} \quad 1$$

c-



a) $t = t_{pHL}$

$$\begin{cases} V_{DS} = V_{DS} = \frac{V_{DD}}{2} \\ V_{GS} = V_{DD} \end{cases}$$

$$\text{or } V_{DS} < V_{GS} - V_{th} \\ 1.65 < 3.3 - 0.46$$

↳ régime triode

$$i_D(t_{pHL}) = \mu_n \left(\frac{W}{L}\right)_{MHC} \left[(V_{DD} - V_{th}) \frac{V_{DD}}{2} - \frac{1}{2} \left(\frac{V_{DD}}{2}\right)^2 \right]$$

$$i_D(t_{pHL}) = 175 \mu \left(\frac{0.5}{0.35}\right) \left[(3.3 - 0.46) \cdot 1.65 - \frac{1}{2} (1.65)^2 \right]$$

$$i_D(t_{pHL}) = 0.83 \text{ mA}$$

d. Pour une évolution linéaire du courant de charge entre $t=0^+$ et $t=t_{pHL}$ on a:

$$i_{D \text{ moy}} = \frac{i_D(0^+) + i_D(t_{pHL})}{2}$$

$$i_{D \text{ moy}} = \frac{1 + 0.83}{2} = 0.91 \text{ mA}$$

$$e - \Delta t = \frac{C_{eq} \times \Delta V}{i_{D, Moy}}$$

0.5

$$f - \text{d'ici } t_{pHL} = \frac{C_{eq} \times \frac{V_{DD}}{2}}{i_{D, Moy}} \quad \left(\Delta V = \frac{V_{DD}}{2} \text{ par def. du } t_{pHL} \right)$$

$$\boxed{t_{pHL} = \frac{30 \text{ f} \times 265}{0.91 \text{ mA}} = \underline{54 \text{ ps}}}$$

5) Transition ABC = 101 \rightarrow z = 0

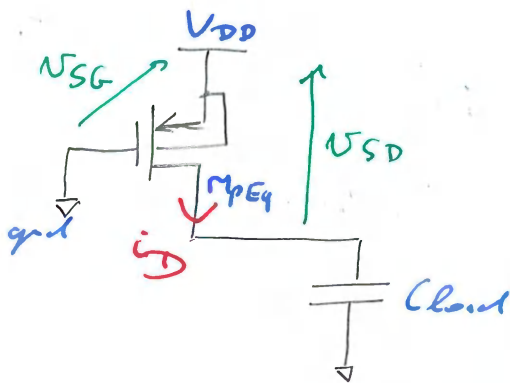
6) vers ABC = 100 \rightarrow z = 1

La sortie z passe d'un niveau bas vers un niveau haut

\rightarrow t_{pLH}

Charger la capacité C_{load} à travers les transistors M_{pC} et M_{p3} (M_{pA} est off) (le niveau m est off)

Le équivalent à une charge à travers un MOS équivalent \rightarrow $W_{M_{pC4}} = P = 0,8 \mu\text{m}$



à $t = 0^+$

$$\begin{cases} V_{SG} = V_{DD} \text{ (reste constant)} \\ V_{SD} = V_{DD} \end{cases} \rightarrow \text{régime saturation}$$

$$i_D(0^+) = \frac{1}{2} \mu_p \left(\frac{W}{L} \right)_{M_{pC4}} (V_{DD} + V_{Tp})^2 = 0.5 \times 58 \mu\text{A} \cdot \left(\frac{0.8}{0.35} \right) (3.3 - 0.6)^2$$

$$i_D(0^+) = 0,48 \text{ mA}$$

$$\text{à } t = t_{pLH} \quad \begin{cases} V_{SG} = V_{DD} \\ V_{SD} = \frac{V_{DD}}{2} \end{cases} \rightarrow \text{régime triode}$$

$$i_D(t_{pLH}) = \mu_p \left(\frac{W}{L} \right)_{M_{pC4}} \left[(V_{DD} + V_{Tp}) \frac{V_{DD}}{2} - \frac{1}{2} \left(\frac{V_{DD}}{2} \right)^2 \right] = 58 \mu\text{A} \left(\frac{0.8}{0.35} \right) \left[(3.3 - 0.6) \cdot 1.65 - 0.5 \times 1.65^2 \right]$$

$$i_D(t_{pLH}) = 0,47 \text{ mA}$$

6) (suite)

$$i_{D,ny} = \frac{0,43 + 0,41}{2} = 0,45 \text{ mA} \quad (\text{largeur de } C_{load})$$

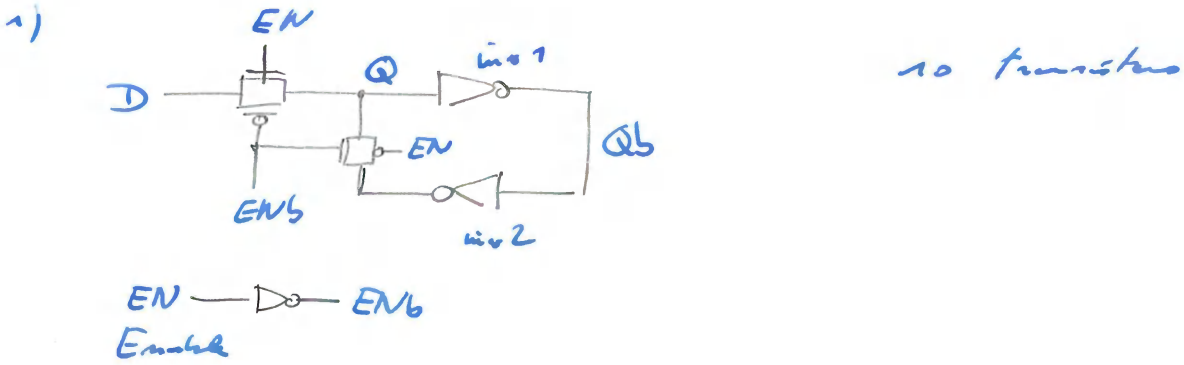
$$\underline{t_{pLH}} = \frac{C_{load} \times \frac{V_{DD}}{2}}{i_{D,ny}} = \frac{30 \text{ f} \times 1,65}{0,45 \text{ mA}} = \underline{110 \text{ ps}} \quad 3$$

7) Par définition du t_{prop}

$$\underline{t_{prop}} = \frac{t_{pHL} + t_{pLH}}{2} = \frac{54 + 110}{2} = \underline{82 \text{ ps}} \quad 0,5$$

Ajust d'un signal de set à une latch

4,5



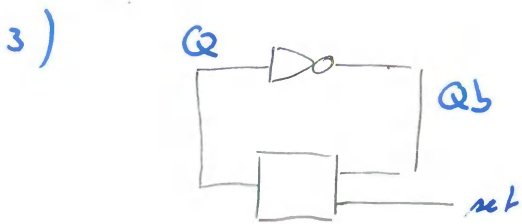
1,5



1



! sensible au niveau logique de l'entrée de validation EN



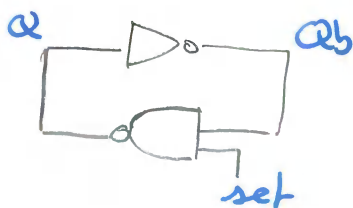
set	Qb	Q
0	0	1
0	1	1
1	0	1
1	1	0

signal de set actif au niveau bas
↳ Q = 1

Lorsque le signal de set est actif, la porte doit jouer le rôle d'un inverseur

$$Q = \text{inv}(Qb)$$

La table de vérité correspondante est celle d'une NAND 2



1,5